

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-019869

(43)Date of publication of application : 27.01.1988

(51)Int.Cl. H01L 29/68
H01L 29/165

(21)Application number : 61-164481

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.07.1986

(72)Inventor : SUGII TOSHIHIRO

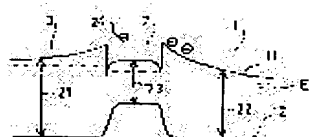
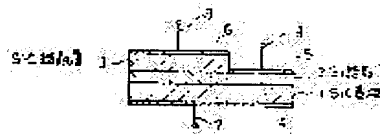
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable a hot electron transistor to be formed by a method wherein the second semiconductor crystal layer with less energy gap than that of the first semiconductor crystalline substrate is formed on the substrate and then the first semiconductor crystal layer is formed on the second semiconductor crystal layer.

CONSTITUTION: An N type Si single crystal layer 2 is formed into a heterostructure in thickness not to be removed by recoupling on an N type SiC substrate 1 and then an N type SiC crystal layer 3 as an emitter region is also formed into the heterostructure on the Si single crystal layer 2. The energy band gaps 21, 22 respectively in the emitter region 3 formed of the SiC crystal and the collector region 1 represent 2.2 eV while the other energy band gap 23 of Si crystal forming the base region 2 represents 1.1 eV.

Therefore' when the gap between emitter region 3 and base region 2 is impressed with voltage, a potential barrier is formed on the boundary between the emitter region 3 and the base region 2 so that hot electrons 24 with high potential energy passing the barrier may rapidly pass the base region 2 to reach the collector region 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-19869

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)1月27日

H 01 L 29/68
29/165

8526-5F
8526-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭61-164481

⑰ 出 願 昭61(1986)7月11日

⑱ 発 明 者 杉 井 寿 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 柝 貞一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 半導体結晶基板(1)の上に、該基板(1)を構成する第1の半導体結晶よりエネルギーバンドギャップの小さい第2の半導体結晶層(2)をヘテロ構造に設け、該第2の半導体結晶層(2)上に、該第2の半導体結晶層(2)よりエネルギーバンドギャップの大きい第1の半導体結晶層(3)を、ヘテロ構造に設けたことを特徴とする半導体装置。

(2) 前記第1の半導体結晶(1)が炭化珪素より成り、前記第2の半導体結晶層(2)がシリコンより成り、その上に形成される半導体結晶層(3)が炭化珪素の結晶層であることを特徴とする特許請求の範囲第1項に記載の半導体装置。

3. 発明の詳細な説明

(概要)

トランジスタのエミッタとコレクタになるエネルギーバンドギャップの大きい炭化珪素(SiC)の結晶の間にエネルギーバンドギャップの小さいシリコン(Si)の結晶をベース層としてヘテロ構造に形成した半導体装置であって、エミッタ領域を形成するSiCの結晶とベース領域を形成するSiの結晶の間のエネルギーバンドギャップの異なることにより、該半導体装置のエミッタとベース間に順方向の電圧を印加して電子をベース層に注入した時、この電子がホットエレクトロンの状態となり、高速でコレクタ領域に到達するようにした半導体装置。

(産業上の利用分野)

本発明は半導体装置に係り、特にエミッタ領域とベース領域の間にポテンシャルバリアを形成し、ベース層にホットエレクトロン(初速度を持つ電子)を注入して高速動作を可能にしたホットエレクトロントランジスタに関する。

電子計算機に用いられるトランジスタは、益々

高速動作が要求されるように成っている。

(従来の技術)

このような高速動作を可能にしたホットエレクトロントランジスタとしては、エミッタ領域、およびベース領域をガリウム-砒素(GaAs)の化合物半導体結晶層で形成し、このエミッタ層、およびベース層間に前記したGaAsとエネルギーバンドギャップが異なるアルミニウム-ガリウム-砒素(AlGaAs)の化合物半導体結晶層をヘテロ構造に挿入形成することで、エミッタ層とベース層間にポテンシャルバリアを形成する。

そして順方向のバイアスを印加することで、エミッタ層よりベース層に対して初速度を持ち、高エネルギーの電子、即ちホットエレクトロンを注入することで、注入された電子を高速にベース領域を通過させるホットエレクトロントランジスタ(以下HETと称する)は高速で動作する半導体装置として、電子計算機等の論理回路を形成するために開発されている。

そして前記第1の結晶が炭化珪素の単結晶で、前記第2の結晶層がシリコンの単結晶である。

(作用)

本発明の半導体装置は、第1の半導体結晶の基板の上にこれよりエネルギーバンドギャップの小さい第2の半導体結晶層を形成し、この上に第1の半導体結晶層を形成する。

そして第2の半導体結晶層をベース領域とし、この厚さを電子の平均自由工程より短い200~300Åの寸法で形成し、ベース領域とエミッタ領域の間にポテンシャルバリアを形成することで、ポテンシャルエネルギーの高いホットエレクトロンをベース領域に注入して高速化を図ったホットエレクトロントランジスタを得るようにする。

(実施例)

以下、図面を用いて本発明の一実施例につき詳細に説明する。

第1図は本発明の半導体装置の構造を示す断面

またこれとは別に、Siの結晶の間に、電子の平均自由工程の長い金(Au)の層を挟んだ構造を形成した構造のトランジスタも提案されている。

(発明が解決しようとする問題点)

然し、前記した金の結晶をSiの結晶基板の上にヘテロ構造に形成するのは困難で、また前記したGaAsの結晶にAlGaAsの結晶層をヘテロ構造に形成する方法以外にSiの結晶を用いてその上に他の半導体結晶をヘテロ構造に形成し、これを用いてホットエレクトロントランジスタを形成することが望まれている。

(問題点を解決するための手段)

本発明の半導体装置は、第1の半導体結晶基板の上に、該第1の半導体結晶よりエネルギーバンドギャップの小さい第2の半導体結晶層をヘテロ構造に設け、該第2の結晶層上に、該第2の結晶層よりエネルギーバンドギャップの大きい第1の結晶層をヘテロ構造に設けて形成されている。

図である。

図示するようにN型のSiC基板1上に気相エピタキシャル成長方法によりN型のSiの単結晶層2が、エミッタ領域よりベース領域に注入されるホットエレクトロンがベース領域で、再結合により消滅しない程度の厚さとして200~300Åの厚さでヘテロ構造に形成されている。

更にその上にはモノシラン(SiH_4)ガスと、プロパンガス(C_3H_8)を反応ガスとし、水素ガスをキャリアガスとして用い、成長温度を1000℃として、ガスの反応容器内に導入される圧力を、200パスカル(Pa)の圧力とした減圧気相エピタキシャル成長方法により、N型のSiCの結晶層3がエミッタ領域としてヘテロ構造に形成されている。

そしてこのコレクタ領域となるSiCの基板1の下面には金-シリコンよりなる金属がコレクタ電極4として蒸着により形成され、ベース領域2には金-シリコンよりなる金属がベース電極5として形成され、エミッタ領域3上には金-シリコンよりなる金属がエミッタ電極6として形成されて

いる。

そしてそれぞれの電極4、5、6に金線がボンディング接続されてコレクタ端子7、ベース端子8およびエミッタ端子9が形成されている。

このような本発明の半導体装置に電圧を印加しない状態のエネルギーバンド構造図を第2図に示す。

第2図に於いて、3はSiC結晶よりなるエミッタ領域で、2はSi結晶よりなるベース領域で、1はSiC結晶よりなるコレクタ領域である。

図で11は伝導帯の底のエネルギーレベルを示し、図の12は価電子帯の上限のエネルギーレベルを示し、13はこの伝導帯と価電子帯とのエネルギーバンドギャップを示す。

またEFはフェルミレベルを示す。図示するようにフェルミレベルはエミッタ領域3、ベース領域2およびコレクタ領域1を通じて一直線の状態を示し、この場合はエミッタ領域3よりベース領域2へ電子の注入の現象は見られない。

第3図は本発明の半導体装置のエミッタ領域3

とベース領域2間に順方向の電圧を印加し、ベース領域2とコレクタ領域1間に逆方向の電圧を印加した状態を示す。

図示するようにSiC結晶で形成されるエミッタ領域3とコレクタ領域1に於けるエネルギーバンドギャップ21と22は2.2eVの値を示し、ベース領域2を形成するSi結晶のエネルギーバンドギャップ23は1.1eVの値を示す。

このようにエネルギーバンドギャップが異なるため、エミッタ領域3とベース領域2間に電圧を印加するとこのエミッタ領域3とベース領域の境界位置でポテンシャルバリアが形成され、このバリアを通過したポテンシャルエネルギーの大きいホットエレクトロン24が高速にベース領域2を通過してコレクタ領域1に到達するようになる。

そしてこのホットエレクトロンのコレクタ領域1に到達する割合を、エミッタとベース間に印加する電圧で調整することでトランジスタ動作ができる。

また本発明に於けるSiC基板の上にSi結晶層を

形成し、その上にSiC結晶層を形成する場合、連続的に気相成長方法で容易に単結晶を得ることができ、この装置は製造も容易である。

(発明の効果)

以上述べたように、本発明の半導体装置によれば、高速で動作する半導体装置が容易に得られる効果がある。

4. 図面の簡単な説明

第1図は本発明の半導体装置の構造の一実施例を示す断面図、

第2図は本発明の半導体装置に電圧を印加しない場合に於けるエネルギーバンド構造図、

第3図は本発明の半導体装置に電圧を印加した場合に於けるエネルギーバンド構造図である。

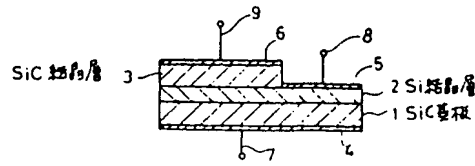
図に於いて、

1はSiC基板、2はSi結晶層、3はSiC結晶層、4はコレクタ電極、5はベース電極、6はエミッ

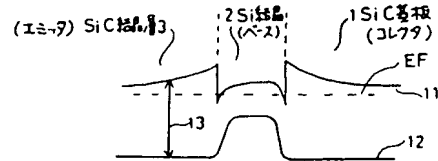
タ電極、7,8,9は端子、11は伝導帯のエネルギー、12は価電子帯のエネルギー、13はエネルギーバンドギャップ、21,22はSiC結晶のエネルギーバンドギャップ、23はSiのエネルギーバンドギャップ、24はホットエレクトロン、EFはフェルミレベルを示す。

代理人 弁理士 井 桁 貞 一

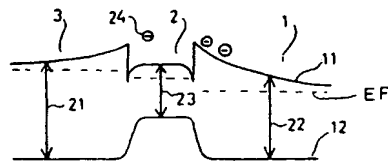




本発明の半導体装置の構造を示す断面図
第 1 図



本発明の装置の零バイアス時におけるエネルギーバンド図
第 2 図



本発明の装置に順方向電圧を 加した時のエネルギーバンド図
第 3 図